

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

009999994      \*\*Image available\*\*

WPI Acc No: 1994-267705/199433

XRAM Acc No: C94-122306

XRFX Acc No: N94-210909

**Semiconductor device prodn. for electrode formation of FET - incorporating polysilicon@ film having tapered ends below amorphous silicon@ film, with vertical edges for gate electrode formation**

Patent Assignee: KAWASAKI STEEL CORP (KAWI )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 6196494</b>	A	19940715	JP 92342488	A	19921222	199433 B

Priority Applications (No Type Date): JP 92342488 A 19921222

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 6196494	A		4	H01L-021/336	

**Abstract (Basic): JP 6196494 A**

The fabrication method consists of gate electrode formation of a field effect transistor with lightly doped drain. Lightly doped drain FETs have low concentration of impurities in the drain. Gate SiO<sub>2</sub> film (2) is formed as a flat layer on silicon substrate (1). Polysilicon film (3) is formed next. The layer is formed in such a way that the edges on both sides are tapered.

Amorphous silicon (4) layer is formed next. The edges of this film are vertical and perpendicular to the common plane separating amorphous silicon layer and polysilicon film. Photoresist (5) is applied next on amorphous silicon layer. The electrode structure is now ready for ion implantation.

ADVANTAGE - Forms lightly doped drain domain by one time ion implantation.

Dwg.2/7

Title Terms: SEMICONDUCTOR; DEVICE; PRODUCE; ELECTRODE; FORMATION; FET; INCORPORATE; POLY; SILICON; FILM; TAPER; END; BELOW; AMORPHOUS; SILICON; FILM; VERTICAL; EDGE; GATE; ELECTRODE; FORMATION

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-021/336

International Patent Class (Additional): H01L-029/784

File Segment: CPI; EPI

**MANUFACTURE OF SEMICONDUCTOR DEVICE**

Patent Number: JP6196494  
Publication date: 1994-07-15  
Inventor(s): NAKAMURA KENJI  
Applicant(s):: KAWASAKI STEEL CORP  
Requested Patent: ☐  
Application Number: JP19920342488 19921222  
Priority Number(s):  
IPC Classification: H01L21/336 ; H01L29/784  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:** To obtain an excellent LDD structure by a method wherein a gate electrode of an LDD transistor structure is formed by one ion implanting operation.

**CONSTITUTION:** A gate electrode is formed through such a process that a polysilicon film 3 is formed first on a gate SiO<sub>2</sub> film 2 on a substrate 1, an amorphous silicon film 4 is formed thereon, a photoresist 5 is laid thereon, and the amorphous silicon film 4 is dry-etched 6 while kept undoped. The side face 7 of the amorphous silicon 4 grows vertical, and the side face 8 of the polysilicon 3 becomes tapered. Then, ions are implanted, whereby an excellent gate electrode of LDD structure can be obtained.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-196494

(43) 公開日 平成6年(1994)7月15日

(51) Int.Cl.<sup>3</sup>

H 0 1 L 21/336  
29/784

識別記号

片内整理番号

F I

技術表示箇所

9054-4M  
9054-4M

H 0 1 L 29/78

3 0 1 L  
3 0 1 P

審査請求 未請求 請求項の数1(全 4 頁)

(21) 出願番号 特願平4-342488

(22) 出願日 平成4年(1992)12月22日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 中村 謙二

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

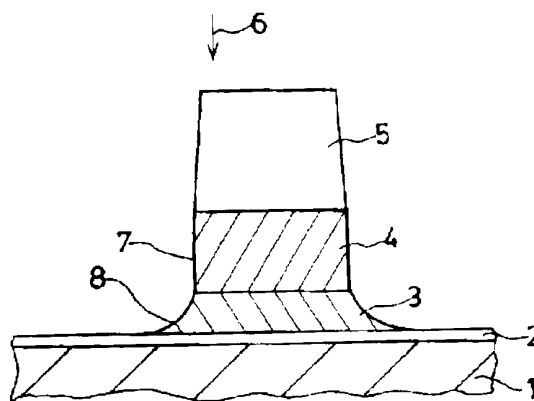
(74) 代理人 弁理士 小杉 住男 (外1名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 LDDトランジスタ構造のゲート電極形成を1回のイオン注入によって実施でき、優れたLDD構造を得る。

【構成】 ゲート電極形成において、基板1、ゲートSiO<sub>2</sub>膜2上に最初にポリシリコン3を成膜し、その上にアモルファスシリコン4を成膜し、フォトレジスト5を載せて、このシリコン膜をノンドープのままドライエッチング6を行う。アモルファスシリコン4の側面7は垂直になり、ポリシリコン3の側面8はテーパ状となる。次にイオン注入すれば優れたLDD構造のゲート電極が形成される。



## 【特許請求の範囲】

【請求項1】 LDDトランジスタ構造の形成において、最初にポリシリコンを成膜し、引き続きアモルファスシリコンを成膜し、このシリコン膜をノンドープのままドライエッチングし、ゲート電極を形成した後、ゲート及びソース、ドレイン領域に同時に不純物イオン注入を行うことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はLDDトランジスタ構造を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】 LDD (lightly doped drain: 低濃度ドープドレイン) トランジスタは、一般に次の工程によって作成されている。

(1) ゲート電極を形成する。

(2) イオン注入により低濃度の、浅いソース・ドレイン領域を形成する。

(3) CVDによって酸化膜デポジションを行う。

(4) 異方性エッチングを行い、ゲート電極側壁にサイドウォールを形成する。このサイドウォールにより、次の工程でイオン注入された領域の横方向拡散の先端部はポリシリコンの位置とサイドウォールの幅によって決まる。

(5) イオン注入によって高濃度のソース・ドレイン領域を形成する。このとき、ゲートは高濃度にドープされたソース・ドレイン領域とオーバーラップせず、ドレイン・チャンネル界面における低い不純物勾配を実現することができる。

【0003】

【発明が解決しようとする課題】 上記従来技術ではイオン注入工程が2回となるほか、サイドウォール形成工程などプロセスが複雑でコストがかかる。またサイドウォール形成の際のSiO<sub>2</sub>エッチングによってSi基板の崩れ込みが生じ、これが欠陥層のもとになり、接合リークが発生するという問題があった。

【0004】 本発明はこのような問題点を解決し、簡易に、優れたLDDトランジスタを形成する方法を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明は、ゲート電極材料の下層をポリシリコン、上層をアモルファスシリコンとし、ノンドープのまま異方性エッチングを行うことによって、上層のアモルファスシリコン層の側壁は垂直に、下層のポリシリコン層の側壁はテーパ形状にエッチングされることを利用している。この際、エッチング条件はマルチステップにする必要はなくアモルファスシリコン層を垂直にエッチングできる条件の1工程のみでよい。

【0006】 次にソース・ドレイン領域形成のためNチ

ヤネル側にはP<sup>+</sup>あるいはAs<sup>+</sup>を、Pチャネル側にはB<sup>+</sup>あるいはBF<sub>3</sub><sup>+</sup>をイオン注入する。これによりソース・ドレイン形成と同時にゲート電極にも高濃度に不純物を注入することができ、また、ゲート電極のポリシリコン層がテーパ形状となっているため、このソース・ドレインへの高濃度イオン注入を1回だけ行うことによって、LDD構造を形成することが可能となる。

【0007】

【作用】 従来方法では、(1) ゲートポリシリコン成膜、(2) 不純物注入及びアニール、(3) ゲート加工、(4) 低濃度イオン注入、(5) サイドウォール形成、(6) 高濃度イオン注入と6工程必要であったが、本発明方法によれば、(a) ゲート(ポリ/アモルファス)シリコン成膜、(b) ゲート加工、(c) 高濃度イオン注入、(d) ゲートエッチング(等方エッチ)と4工程に省略することができる。

【0008】 ポリシリコン成膜とアモルファスシリコン成膜は減圧CVD装置により、成膜温度を600℃以上、570℃以下にそれぞれ設定し、成膜途中で変更することにより同一工程において成膜することができる。また、サイドウォール形成におけるSiO<sub>2</sub>エッチングを省略することができるので、基板の崩れ込みが生じない。従って、接合リーク欠陥を防ぐことができる。

【0009】

【実施例】 ゲート酸化膜上に、減圧CVD装置で、ポリシリコン及びアモルファスシリコン膜を成膜する。このシーケンスを図7に示した。ポリシリコン膜を620℃で1500Å成膜し、ポリシリコン成膜後、炉の温度を550℃に下げることによって、アモルファスシリコンを成膜する。アモルファスシリコンの膜厚は3000Åとする。図1にこれを示すもので、シリコン基板1、ゲートSiO<sub>2</sub>膜2の上に620℃でポリシリコン3を1500Å、その上にアモルファスシリコン4を3000Å形成し、フォトリソist5を載せたものである。

【0010】 次にRIE装置で次の条件によりゲートエッチングする。

使用ガス : CCl<sub>4</sub>、He、O<sub>2</sub>

= (90~100) / 3.50 ~ 2.0 (sccm)

圧力 : 2.90 ~ 3.60 (mTorr)

RFパワー : 120 ~ 150 (W)

電極温度 : 45 ~ 55 (℃)

図2に示すように、異方性エッチング6を受けたアモルファスシリコン1の層の側面7は垂直に、ポリシリコン3の層の側面8はテーパ形状となる。図3に示すようにポリシリコン3のテーパ形状となる幅は0.15μm程度である。

【0011】 次に図4に示すように基板内の領域9内にイオン注入を行う。Nチャネル側にはAs<sup>+</sup>を40KeV、5×10<sup>-5</sup>/cm<sup>2</sup>でイオン注入し、Pチャネル側にはBF<sub>3</sub><sup>+</sup>を40KeV、5×10<sup>-5</sup>/cm<sup>2</sup>でイオン

注入する。ゲート電極12にも高濃度に不純物注入を行うことができ、次いでアニールすると、図5に示すようにNチャンネル側ではN<sup>+</sup>ソース・ドレイン10、N<sup>+</sup>ソース・ドレイン11が形成される。

【0012】最後に図6に示すようにゲートシリコン膜12をケミカルドライエッチにより等方エッチングし、ゲート下端の長さをソース・ドレインの低濃度側に合うようにする。エッチング部13のエッチング量は1000Åである。このようにして形成されたトランジスタは、従来のサイドウォール長0.15μmのLDDトランジスタと同等の性能をもっている。

【0013】

【発明の効果】本発明によれば、下層にはポリシリコン層、上層にはアモルファスシリコン層を形成し、これをノンドーブのままドライエッチングすることによって、アモルファス層の側面は鉛直に、ポリシリコン層の側面はテーパ状となる。従って、1回のイオン注入によって、優れたLDD構造をもつドレイン領域を形成することが可能となった。

【図面の簡単な説明】

【図1】レジスト成形時の断面図である。

【図2】異方性エッチング工程の説明図である。

【図3】異方性エッチング工程終了時の説明図である。

【図4】イオン注入工程の説明図である。

【図5】焼鈍後の断面図である。

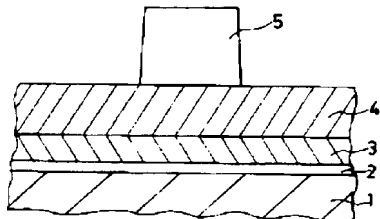
【図6】シリコンエッチング工程の断面図である。

【図7】シリコン成膜時の温度パターン図である。

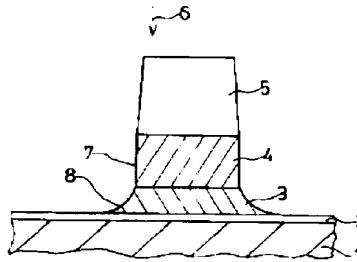
【符号の説明】

1 Si基板	2 ゲートSi O <sub>2</sub> 膜
3 ポリシリコン	4 アモルファスシリコン
5 フォトレジスト	6 エッチング領域
7, 8 側面	9 領域
10 N <sup>+</sup> ソース・ドレイン	11 N <sup>+</sup> ソース・ドレイン
12 ゲートシリコン膜	13 エッチング部

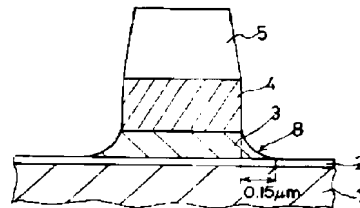
【図1】



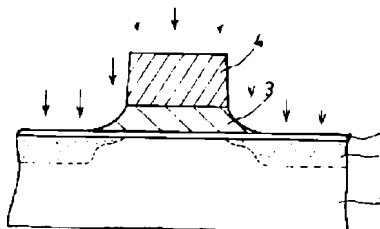
【図2】



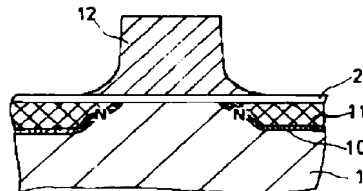
【図3】



【図4】



【図5】



特開平6-196494

【图 7】

